

KOREAN PATENT ABSTRACT (KR)

PUBLICATION

(51) IPC Code: H01L 27/04

(11) Publication No.: P1999-0062504

(43) Publication Date: 26 July 1999

(21) Application No.: 1998-0038710

(22) Application Date: 18 September 1998

(31) Claim to Priority: JP97-338867 dated 9 December 1997

(71) Applicant:

Okidenki Gokyo Gabusikigaisha Sawamura Siko

12-go, 7-ban, 1-chome, Doranomom, Minato-ku, Tokyo-do, Japan

(72) Inventor:

GISIRO GOICHI

YOSHIMARU MASAKI

(54) Title of the Invention:

Semiconductor device including capacitor and method for manufacturing the same

Abstract:

The present invention is directed to a semiconductor including a capacitor. The device includes a semiconductor substrate, a substrate layer formed on the semiconductor substrate, a lower electrode formed using an element of the platinum group on the substrate layer, a silicon nitride layer or a metal nitride layer formed between the substrate layer and the lower electrode, a high-k dielectric layer formed on the lower electrode, and an upper electrode formed on the high-k dielectric layer. The present invention prevents separation of the lower electrode from the substrate layer and improves the reliability of the semiconductor device.

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl. ⁸ H01L 27/04	(11) 공개번호 (43) 공개일자	특 1999-0062504 1999년 07월 26일
(21) 출원번호	10-1998-0038710	
(22) 출원일자	1998년 03월 19일	
(30) 우선권주장	97-338867 1997년 12월 09일 일본(JP)	
(71) 출원인	오키 덴키 코오교 가부시끼가이샤	사와무라 시코
	일본 도쿄도 미나토구 도라노몬 1초메 7반 12고	
(72) 발명자	기시로 고이치	
	일본 도쿄도 미나토구 도라노몬 1초메 7반 12고 오키덴키 코오교 가부시끼	
	가이샤 내	
	요시마루 마사카	
	일본 도쿄도 미나토구 도라노몬 1초메 7반 12고 오키덴키 코오교 가부시끼	
	가이샤 내	
(74) 대리인	박해선, 조영원	

특허청 : 특허

(54) 커패시터를 구비한 반도체 장치 및 그 제조 방법

요약

커패시터를 구비한 반도체 장치는: 반도체 기판; 이 반도체 기판 상에 형성된 기판막; 백금층에 속하는 금속막이고, 이 기판막 상에 형성되는 하부 전극; 이 기판막과 하부 전극 사이에 형성된 절리층; 절리층 또는 금속 절리막; 이 하부 전극 상에 형성된 고유전체막; 이 고유전체막 상에 형성된 상부 전극으로 구성된다. 이러한 구성은 하부 전극이 박리되는 것을 방지하고, 더 높은 신뢰도를 갖는 반도체 장치를 만들 수 있게 한다.

도면

도 1

도 2

도면의 간단한 설명

도 1(a), 1(b) 및 1(c)는 제 1 실시예의 반도체 장치 제조 방법을 도시한다.

도 2(a), 2(b), 2(c) 및 2(d)는 제 2 실시예의 반도체 장치 제조 방법을 도시한다.

도 3(a), 3(b) 및 3(c)는 제 3 실시예의 반도체 장치 제조 방법을 도시한다.

• 도면의 주요부분에 대한 부호의 설명 •

11 : 절연 절연막	11(a) : 스퍼터링
13 : 스퍼터링 내의 배선	15 : 하부 전극
17 : 고유전체막	19 : 상부 전극
21 : 커패시터	31 : 절리층 절리막
41(a) : 다결정 절리층	41x : 절리사이드막

도면의 상세한 설명

도면의 목적

본 발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 커패시터를 갖는 반도체 장치, 특히 커패시터의 하부 전극 및 기판막 사이의 분리를 막을 수 있는 반도체 기억 장치와 그 제조 방법에 관한 것이다.

고유전율을 (high relative dielectric constant) 을 갖는 유전체막 즉, 고유전체막이 커패시터의 유전체막으로 사용되는 다미네의 랜덤 액세스 메모리 등과 같은 반도체 기억 장치 생산 처리가 있다. 상기 고유전체막으로 사용된 재료는 페르마, 오산화티탄탈 (Ta₂O₅), 지르콘산티탄산납 (PZT), 및 티탄산

바륨스트론튬 (BST) 을 포함한다.

고유전체막이 커패시터의 유전체막 (예컨대, 예컨대, 1: 10000 의 903 내지 906 페이지) 으로 이용될 때, 백금 (Pt) 및 루테튬 (Ru) 을 포함하는 백금족을 커패시터의 하부 전극으로 이용하는 연구가 있어 왔다. 백금족은 다결정 실리콘보다 더 높은 물리적, 화학적 안정성을 나타낸다. 루테튬은 더 좋은 패턴화를 허용한다는 점에서 백금족의 다른 금속들보다 더욱 유망하다.

본 발명이 이루고자 하는 기술적 과제

따라서, 본 발명의 목적은 커패시터가 내장된 매우 신뢰할 수 있는 반도체 장치를 제공하는 것으로, 백금족의 금속막으로 구성된 하부 전극과 고유전체막으로 구성된 커패시터 유전체막으로 구성되어, 상기 커패시터는 기판막 상에 형성되며, 하부 전극이 박리되는 것을 막을 수 있다. 본 발명의 또 다른 목적은 상기 반도체 장치를 위한 제조 방법을 제공하는 것이다.

이 때문에, 본 발명에 따른 커패시터를 구비한 반도체 장치는, 반도체 기판, 상기 반도체 기판 상에 형성된 기판막, 상기 기판막 위로 형성되고, 백금족에 속한 금속막으로 구성된 하부 전극, 상기 기판막 및 하부 전극 사이에서 형성된 실리콘 질화막, 상기 하부 전극 상에 형성된 고유전체막, 및 상기 고유전체막 상에 형성된 상부 전극으로 구성된다.

본 발명의 구성 및 작용

전술한 목적들을 이행하는 다양한 다른 발명들이 본 출원에 개시되어 있다. 이러한 다양한 발명들은 첨부된 청구항들, 실시예들 및 첨부 도면들로부터 이해될 것이다.

명세서에는 본 발명에서 다루어지는 주제를 자세히 지적하고 확실히 청구하는 청구항들로 마무리하는 반면, 본 발명과 그 이상의 목적들, 그 특성들, 그 특성들 및 장점들은 첨부 도면들과 관련한 다음의 설명으로부터 더 잘 이해될 것이다.

본 발명에 따른 반도체 장치의 실시예들 및 그 제조 방법이 첨부 도면들을 참고하여 설명될 것이다.

도 1(a), 1(b) 및 1(c) 는 본 발명에 따른 제 1 실시예의 반도체 장치 제조 방법의 단계들을 도시한다.

도 1(c) 를 참고하여, 제 1 실시예의 반도체 장치가 설명될 것이다.

스루홀 (11(a)) 또는 개구 (opening) 를 갖고, 기판막으로서 작용하는 중간 절연막 (11) 이 반도체 기판 상에 형성된다. 전도막 (13) 은 스루홀 내에서 형성되어, 특히 하부 전극 (15) 을 반도체 기판 (10) 과 접속한다. 실리콘 질화막 (31) 은 전도막 (13) 주위에, 중간 절연막 (11) 상에 형성된다. 하부 전극 (15) 은 실리콘 질화막 (31) 상에 형성된다. 고유전체막 (17) 은 하부 전극 (15) 상에 형성된다. 상부 전극 (19) 은 고유전체막 (17) 상에 형성된다.

제 1 실시예의 반도체 장치 제조 방법이 이제 설명될 것이다.

도 1(a) 에서 도시된 바와 같이, 중간 절연막 (11) 은 반도체 기판 (10) 상에 형성된다. 중간 절연막 (11) 은 예컨대, 실리콘 산화물로 구성된다. 예컨대, 100 내지 200 nm 두께의 실리콘 질화막 (31) 이 중간 절연막 (11) 상에 CVD 등에 의해 형성된다. 그런 후, 스루홀 (11(a)) 은 중간 절연막 (11) 과 실리콘 질화막 (31) 내에 공저된 리소그래피 및 에칭 기법에 의해 형성된다. 전도막 (13) 은 스루홀 (11(a)) 내에 형성된다.

전도막은 예컨대, 다결정 실리콘 또는 고융점합금을 갖는 금속으로 구성된다.

도 1(b) 에 도시된 바와 같이, 또한 저항 노드 라고 언급되고, 백금족의 금속으로 이루어진 하부 전극 (15) 이 전도막 (13) 및 실리콘 질화막 (31) 상에 형성된다.

백금족의 금속으로 구성된 막으로서 예컨대, 백금족 또는 루테튬막이 이용된다. 백금족에 속하는 금속들 중, 루테튬은 더욱 용이하게 원하는 전극 형태를 줄여주기 위한 패턴화를 허용하고, 따라서 하부 전극 (15) 을 구성하기 위한 재료로서 바람직하다. 하부 전극 (15) 은 예컨대, 스퍼터링 또는 다른 적합한 막 증착 처리 및 리소그래피 기법 및 에칭 기법에 의해 형성된다.

도 1(b) 를 참고하면, 실리콘 질화막 (31) 이 만들어져서 하부 전극 (15) 보다 더 큰 영역을 갖는다. 그러나, 백금족으로, 실리콘 질화막 (31) 및 하부 전극 (15) 이 형성되어 근사적으로 동일한 영역을 갖고, 평면 형태를 가질 수도 있다.

다음 단계에서는, 하부 전극이 형성된 반도체 기판이 비산화 분위기에서 열처리된다. 열처리된 하부 전극 (15) 을 갖는 반도체는 500 내지 750 °C 온도에서 수행된다. 예컨대, 질소 분위기가 비산화 분위기로 사용된다.

고유전체막 (17) 은 커패시터에 필요한 용량을 우선 고려함으로써 결정된 소정의 두께로 형성된다.

고유전체막 (17) 은 높은 상대 상수를 갖고 예컨대, 오산화이탄화 (Ta₂O₅), 지르콘산티탄산염 (PZT), 티탄산바륨스트론튬 (BST) 또는 BITL로 이루어지는 임의의 적합한 고유전체막을 사용한다.

고유전체막 (17) 은 상기 막에 가장 적합한 임의의 적합한 막 증착 방법을 이용하여 형성된다. 예컨대, Ta₂O₅ 막이 이용될 때, 막은 Ta(OC₂H₅)₅ 및 산소가 재료로서 사용된 저압 CVD 를 이용하여 생산된다.

다음 단계에서는, 고유전체막 (17) 이 형성된 반도체 기판이 포스트 어닐링 으로 공저된 열처리가 수행된다.

본 실시예에서는, 포스트 어닐링이 2 단계로 수행된다: 제 1 단계에서는, 열처리가 산화 분위기에서 비교적 낮은 온도로 수행되고, 그런 후 비산화 분위기에서 고유전체막을 열산화하기 위한 온도로 수행

된다.

산화 분위기에서 수행되는 열처리는 고유전체막으로부터 불순물을 제거하고, 상기 유전체막은 산소가 침투되기 쉽기 때문에, 유전체막의 산소 결핍을 보충하기 위해 의도된다. 열처리는 예컨대, 450 내지 600 °C 범위의 온도에서 수행된다. 비산화 분위기에서 수행된 열처리는, 고유전체막을 결정화함으로써 고유전체막의 더 높은 비유전율을 얻기 위해 의도된다. 이 열처리는 예컨대, 약 700 °C의 온도에서 수행된다.

산화 분위기는 대기보다 더 강한 산화력을 갖는 산소 또는 오존 또는 다른 기체가 풍부한 분위기를 나타낸다. 그것은 실질적으로 산소 또는 오존으로 치환된 분위기를 포함한다. 비산화 분위기는 산소 및 오존이 양적으로 제거되는 분위기를 나타낸다. 예컨대, 비산화 분위기는 질소 분위기 또는 비활성 기체 분위기일 수 있다. 게다가, 열처리는 어닐링 피닉스를 이용하여, 또는 형소에 의한 가열과 같은 급속 가열 방법에 의해 수행될 수 있다. 아래에서 설명될 다양한 유형의 열처리에 동일하게 적용될 것이다.

도 1(c)에서 도시된 바와 같이, 상부 전극 (19) 이 고유전체막 (17) 상에 형성된다. 상부 전극 (19) 은 예컨대, 다결정 실리콘, 알루미늄 또는 고용융점을 갖는 금속 또는 고용융점을 갖는 금속의 합금으로 구성된다. 상부 전극은 적절적으로 하부 전극층으로 이용된 것과 동일한 금속 층과 같은 백금족의 금속으로 만들어진다. 따라서, 커패시터 (2) 는 기판막이 되는 중간 절연막 (11) 상에 형성된다.

미러한 반도체 장치에 있어서, 실리콘 절연막이 중간 절연막 (11) 및 하부 전극 (15) 사이에 형성된다. 실리콘 절연막은 중간 절연막과 하부 전극 사이의 반응을 방지하고, 또한 중간 절연막과 하부 전극 사이의 응력 (stress) 을 경감한다. 따라서, 이 반도체 장치는, 중간 절연막 (11) 상에 직접 형성된 하부 전극 (15) 을 갖는 반도체 장치보다 하부 전극이 박리되는 것을 어렵게 한다. 이것은 반도체 장치가 더 높은 신뢰도를 갖고 수행될 수 있게 한다.

실시예의 반도체 장치 제조 방법에 따르면, 하부 전극 (15) 은 고유전체막 (17) 이 하부 전극 (15) 상에 형성되기 전에, 비산화 분위기에서 열처리되며, 따라서 하부 전극 (15) 이 박리되는 것을 더욱 방지할 수 있다. 포스트 어닐링이 두 단계에서 수행되며, 반도체 장치의 특성이 향상된다. 예컨대, 누설 전류가 감소된다. 이러한 감응된 감응률이 후에 논의될 것이다.

도 2(a), 2(b), 2(c) 및 2(d) 는 본 발명에 따른 제 2 실시예의 반도체 장치 제조 방법의 단계를 도시한다.

도 2(d) 를 참고하면, 제 2 실시예의 반도체 장치가 설명될 것이다. 스퍼터 (11(a)) (개구) 를 갖는 기판막이 되는 중간 절연막 (11) 이 반도체 기판 (10) 상에 형성된다. 전도막 (13) 이 스퍼터 내에 형성되어 전기적으로 하부 전극 (15) 을 반도체 기판 (10) 과 접속시킨다. 다결정 실리콘막 (41(a)), 실리콘사이드막 (41(x)) 및 하부 전극 (15) 이 전도막 (13) 과 중간 절연막 (11) 상에 형성된다. 고유전체막 (17) 이 하부 전극 (15) 상에 형성된다. 상부 전극 (19) 이 고유전체막 (17) 상에 형성된다.

제 2 실시예의 반도체 장치 제조 방법이 이제 설명될 것이다.

도 2(a)에서 도시된 바와 같이, 예컨대, 실리콘 산화물인 중간 절연막 (11) 이 반도체 기판 (10) 상에 형성된다. 그런 후, 스퍼터 (11(a)) 이 중간 절연막 (11) 내에 공지된 리소그래피 기법과 에칭 기법에 의해 형성된다. 전도막 (13) 이 스퍼터 (11(a)) 내에 형성된다.

도 2(b)에서 도시된 바와 같이, 다결정 실리콘막과 백금족에 속하는 금속의 막이 차례로 전도막 (13) 과 중간 절연막 (11) 상에 형성된다. 이러한 필름들이 패터닝되며, 패터닝된 다결정 실리콘막 (41(a)) 과 하부 전극 (15) 이 적층된 구조를 제공한다.

하부 전극 (15) 이 형성된 반도체 기판이 비산화 분위기에서 열처리된다. 이 열처리는 하부 전극 (15) 과 다결정 실리콘막 (41(a)) 이 서로 반응하여 하부 전극과 다결정 실리콘막 사이의 경계면 상에 실리콘사이드를 형성하는 온도에서 수행된다. 이 열처리는 예컨대, 400 내지 750 °C 의 범위의 온도에서 수행된다. 비산화 분위기는 예컨대, 질소 분위기이다.

결론한 열처리를 수행하는 것은 도 2(c)에서 도시된 바와 같이, 하부 전극 (15) 과 중간 절연막 (11) 사이에 실리콘사이드막 (41(x)) 을 생산하는 것이다.

이 실리콘사이드막 (41(x)) 은 중간 절연막 (11) 과 하부 전극 (15) 사이에서 일어나는 반응을 방지하기 위해 형성된다. 따라서, 본 실시예에서, 후대플라이 하부 전극 (15) 층으로 사용될 때, 후대플라이와 중간 절연막이 되는 실리콘 산화막 사이의 직접 접촉에 의해 발생할 수 있는 Ru₂O₃ 막이 발생되지 않을 것이다. 또한, Ru₂O₃의 용출이 일어나더라도, 결과적인 용액은 실리콘사이드막에 의해 흡수될 것 같다. 따라서, 하부 전극이 박리될 가능성은 감소된다.

그런 후, 고유전체막 (17) 이 소정의 두께로 형성된다.

고유전체막 (17) 이 형성된 반도체 기판은 제 1 실시예에서 수행되는 것과 동일한 2 단계의 포스트 어닐링이 수행된다.

도 2(d)에서 도시된 바와 같이, 상부 전극 (19) 은 고유전체막 (17) 상에 형성된다.

이러한 반도체 장치에서, 실리콘사이드막이 중간 절연막 (11) 과 하부 전극 (15) 사이에 형성된다. 실리콘사이드막은 중간 절연막과 하부 전극 사이에서 반응이 일어나는 것을 방지하고, 또한 상기 중간 절연막과 하부 전극 사이의 응력을 제거한다. 게다가, 구워진 하부 전극은 산소가 그들 통해 스며드는 것을 어렵게 하기 때문에, 중간 절연막과 하부 전극 사이에 Ru₂O₃ 층이 발생하는 것을 제거할 수 있다. 따라서, 상기 반도체 장치와 그 제조 방법은 하부 전극 (15) 이 중간 절연막 (11) 상에 직접 형성된 반

도체 장치보다 박리되는 것을 어렵게 한다. 이것은 더 높은 신뢰도를 갖는 반도체 장치를 얻을 수 있게 한다.

본 실시예에서의 반도체 장치 제조 방법에 따르면, 포스트 어닐링이 두 단계에서 수행되고, 따라서 반도체 장치의 특성이 향상된다. 예컨대, 누설 전류가 감소된다. 실험에 의해 검증된 이러한 장점을 이 이후에 설명할 것이다.

도 3(a), 3(b) 및 3(c)는 본 발명에 따른 제 3 실시예의 반도체 장치 제조 방법의 단계들을 도시한다. 제 3 실시예의 반도체 장치 제조 방법이 설명될 것이다.

도 3(a)에서 도시된 바와 같이, 실리콘 산화층인 중간 절연막 (11)이 반도체 기판 (10)상에 형성된다. 스루홀 (11(a))은 공지된 리소그래피 기법과 에칭 기법에 의해 중간 절연막 (11)내에 형성된다. 전도막 (13)이 스루홀 (11(a))내에 형성된다.

도 3(b)에서 도시된 바와 같이, 하부 전극 (15)이 중간 절연막 (11)상에 형성된다.

하부 전극이 형성된 반도체 기판은 비산화 분위기에서 열처리된다. 이 열처리는 하부 전극 (15)이 구워지는 온도에서 수행된다. 이 열처리는 예컨대 600 내지 750 °C 범위의 온도에서 수행된다. 비산화 분위기는 예컨대, 질소 분위기이다.

고유전체막 (17)이 소정의 두께로 형성된다.

고유전체막 (17)이 형성된 반도체 기판이 제 1 실시예에서 수행된 것과 동일한 두 단계의 동일한 포스트 어닐링을 한다.

도 3(c)에서 도시된 바와 같이, 상부 전극 (19)은 고유전체막 (17)상에 형성된다.

따라서, 커패시터 (21)는 기판 절연막이 되는 중간 절연막 (11)상에 형성된다.

본 실시예에서의 반도체 장치의 제조 방법에 따르면, 하부 전극 (15)은, 고유전체막 (17)이 하부 전극 (15)상에 형성되기 전에, 비산화 분위기에서 열처리를 하게 된다. 구워진 하부 전극은 산소가 그들 통해 스며드는 것을 어렵게 하기 때문에, 중간 절연막과 하부 전극 사이에 RuO₄ 등이 발생하는 것이 줄어들 수 있다. 이것은 하부 전극 (15)을 박리시킬 가능성을 감소시킨다. 게다가, 두 단계에서 수행된 포스트 어닐링은 반도체 장치의 특성을 향상시킨다. 예컨대, 누설 전류가 감소된다. 실험에 의해 검증된 이러한 장점을 이 후에서 설명할 것이다.

본 발명의 양상을 더욱 잘 이해하기 위해서, 본 발명의 장점을 다수의 샘플들과 관련하여 설명할 것이다.

반도체 장치 샘플들의 제 1 군과 그 제조 방법이 아래에서 설명될 것이다.

각 샘플들은 실리콘 기판 상에 CVD에 의해 300 nm의 두께로 형성된 실리콘 산화막과, 이 실리콘 산화막 상에 CVD에 의해 150 nm의 두께로 형성된 실리콘 질화막을 갖는다. 또한, 샘플이 실리콘 질화막 상에 스퍼터링에 의해 형성된 루테튬막을 갖게 되며, 하부 전극을 제공하고, 이 루테튬막 상에 10 nm의 두께로 형성된 Ta₂O₅막을 갖게 되며, 고유전체막을 제공한다. 다수의 그러한 샘플들이 준비된다.

이러한 샘플들은 포스트 어닐링의 제 1 단계로서, 550 °C의 온도로, 산소 분위기에 한 시간 동안 노출된다. 이 샘플들은 그런 후, 이하에서 주어진 테이블에서 도시된 바와 같이 포스트 어닐링의 제 2 단계에서 상이한 온도에서 열처리된다. 이 열처리는 상이한 각 온도에서 산소 분위기로 60 초 동안 수행된다.

그런 후, 상부 전극들은 고유전체막 상에 형성된다. 따라서, 반도체 장치 샘플들의 제 1 군이 준비된다.

반도체 장치 샘플들의 제 2 군과 그 제조 방법이 설명될 것이다.

반도체 장치 샘플들의 제 2 군은, 제 2 단계에서 열처리를 위한 분위기가 질소 분위기로 교체된다는 것을 제외하면 반도체 장치 샘플들의 제 1 군의 제조 방법에 따라서 준비된다. 그 이외에는, 반도체 장치 샘플들의 제 2 군은 제 1 군에서와 동일한 방식으로 제조된다.

반도체 장치 샘플들의 제 3 군의 제조 방법이 이제 설명될 것이다.

반도체 장치 샘플들의 제 3 군은, 하부 전극들이 형성된 후이지만, 상부 유전체막들은 형성되기 전에 700 °C의 온도에서 30 초 동안 질소 분위기에 노출되어 준비되는 것을 제외하고는 반도체 장치 샘플들의 제 1 군의 제조 방법에 따라 제조된다. 그 이외에는, 샘플들의 제 3 군은 샘플들의 제 1 군의 경우와 동일한 방식으로 만들어진다.

반도체 장치 샘플들의 제 4 군 및 그 제조 방법이 설명될 것이다.

반도체 장치 샘플들의 제 4 군은, 포스트 어닐링의 제 2 단계에서의 분위기가 질소 분위기로 교체된다는 것을 제외하고는 반도체 장치의 제 3 군의 제조 방법에 따라 준비된다. 그 이외에는, 반도체 장치 샘플들의 제 4 군은 샘플들의 제 3 군의 경우와 동일한 방식으로 만들어진다.

따라서, 본 발명에 따른 반도체 장치의 샘플 군들이 준비된다.

비교용 반도체 장치 샘플들의 제 1 군과 그 제조 방법이 설명될 것이다.

각 샘플들은 CVD에 의해 실리콘 기판 상에 300 nm의 두께로 형성된 실리콘 산화막을 갖는다. 또한, 샘플이 실리콘 질화막 상에 스퍼터링에 의해 형성된 루테튬막을 갖게 되며, 하부 전극을 제공하고,

이 부테르락 상에 10 nm 의 두께로 형성된 TaO 막을 갖게 되어, 고유전체막을 제공한다. 다수의 그러한 샘플들이 준비된다.

비교한 샘플들은 포스트 어닐링의 제 1 단계로서, 550 °C 의 온도에서, 산소 분위기로 한 시간 동안 노출된다. 이 샘플들은 그런 후, 이하에서 주어진 테이블에서 도시된 바와 같이 포스트 어닐링의 제 2 단계에서 상이한 온도에서 열처리된다. 이 열처리는 상이한 각 온도에서 산소 분위기로 60 초 동안 각각 수행된다.

비교용 반도체 장치 샘플들의 제 2 군과 그 제조 방법이 설명될 것이다.

반도체 장치 샘플들의 제 2 군은, 제 2 단계에서 열처리의 분위기가 질소 분위기로 교체된다는 것을 제외하면 반도체 장치 샘플들의 제 1 군의 제조 방법에 따라서 준비된다.

비교를 위해 이와 같이 가공된 샘플들 및 샘플들의 군들을 광학 현미경 아래에서 관찰하여 하부 전극이 박리되는지를 체크한다.

또한, 각 샘플이 상부 및 하부 전극들 사이에 1 볼트 전압을 인가할 때의 누설 전류가 측정된다. 결과가 아래의 표 1 에서 도시된다.

표 1

	포스트 어닐링의 제 2 단계에서의 온도(°C)					
	500	550	600	700	750	800
샘플들의 제 1 군						
실리콘 질화막 상	◎	◎	X	X	X	-
하부 전극 상의 열처리 없음	적은 누설 전류					
제 2 단계에서의 열처리						
: 산소 분위기						
샘플들의 제 2 군						
실리콘 질화막 상	-	-	0	0	0	0
하부 전극 상에 열처리 없음	누설 전류 1×10^{-3} (A/cm ²) 이상					
제 2 단계에서의 열처리						
: 질소 분위기						
샘플들의 제 3 군						
실리콘 질화막 상	-	◎	0	X	X	-
하부 전극 상의 열처리	큰 누설 전류					
제 2 단계에서의 열처리						
: 산소 분위기						
샘플들의 제 4 군						
실리콘 질화막 상	-	◎	◎	◎	◎	-
하부 전극 상의 열처리	누설 전류 1×10^{-6} (A/cm ²) 이상					
제 2 단계에서의 열처리						
: 질소 분위기						
비교를 위한 샘플들의 제 1 군						
실리콘 산화막 상	△	-	X	X	X	-
하부 전극 상에서 열처리 없음						
비교를 위한 샘플들의 제 2 군						
실리콘 산화막 상	-	-	X	X	X	-
제 2 단계에서의 열처리						
: 질소 분위기						

표 1 에서, 이중 원으로 표시된 것은 그 하부 전극이 웨이퍼 전 영역에서 박리되지 않았다는 것을 나타내고; 원으로 표시된 것은 그 하부 전극이 웨이퍼 전 영역에서 박리되지 않았지만, 그 누설 전류가 이중 원으로 표시한 것보다 크다는 것을 나타내며; 삼각형으로 표시한 것은 그 하부 전극이 웨이퍼 전 영역 중 일부 영역에서 하부 전극이 박리된 것을 나타내고; X 라고 표시한 것은 하부 전극이 웨이퍼 전

영역에서 박리된 것을 나타낸다.

샘플을 및 비교 샘플은 다음의 것을 알려준다.

비교용 샘플들의 제 1 및 제 2 군들의 하부 전극들은 박리된다. 비교를 위한 이러한 샘플들은 하부 전극용 백금막의 금속막을 이용하여 가공된다. 이것은 고유전체막을 사용하는 커패시터가 내장된 반도체 장치의 유전체막으로서 적합하지 않다.

샘플들의 제 1 군은 비교 샘플들의 제 1 군과 비교될 것이다. 반도체 장치 샘플들의 제 1 군 중에서, 포스트 어닐링이 제 2 단계에서 550 °C 이하의 온도가 가해진 제 1 군 반도체 장치 샘플들의 하부 전극들은 박리되지 않는다. 반도체 장치들의 비교 샘플들의 제 1 군에서, 포스트 어닐링 동안 550 °C 의 온도가 가해진 제 1 군 반도체 장치 샘플들의 하부 전극이 박리되는 반면, 500 °C 의 온도로 가해진 것의 얼마간의 하부 전극들이 박리된다. 샘플들의 제 1 및 제 2 군들 사이의 구조와 제조에 있어서는 차이점은 하부 전극과 기판막으로 작용하는 실리콘 산화막 사이에 실리콘 질화막이 있는가 없는가 하는 것이다. 기판막과 하부 전극들 사이에 제공되는 실리콘 질화막을 갖는 샘플들은 하부 전극들이 실리콘 질화막이 없는 것보다 더 박리되기 어렵다는 것을 나타낸다.

샘플들의 제 1 군은 이제 샘플들의 제 3 군과 비교될 것이다. 제 3 군의 샘플들은 포스트 어닐링의 제 2 단계에서 600 °C 의 온도가 가해진다. 그러나, 하부 전극들은 웨이퍼의 일부에서만 박리되었다. 제 1 군의 샘플들이 포스트 어닐링의 제 2 단계에서 600 °C 의 온도에 있을 때, 하부 전극들은 웨이퍼의 전 영역에서 박리되었다.

제 2 군의 샘플을 및 제 4 군의 샘플을 이제 비교될 것이다.

제 4 군의 샘플들의 하부 전극들은, 포스트 어닐링의 제 2 단계에서 온도가 750 °C 에 있을 때에도, 박리되지 않았다. 샘플들의 제 2 군의 경우에는, 포스트 어닐링의 제 2 단계에서 온도가 600 °C 일 때, 웨이퍼의 일부에서 하부 전극들이 박리되었다.

제 1 군의 샘플들은 제조에 있어서 하부 전극들이 비산소 분위기에서 열처리되는지 아닌지가 제 3 군의 샘플들과 다르다. 마찬가지로, 제 2 군의 샘플들은 또한 제조에 있어서 하부 전극들이 비산소 분위기에서 열처리되는지 아닌지가 제 4 군과 다르다. 이것은 비산소 분위기에서 열처리된 한 샘플들의 하부 전극들이 비산소 분위기에서 열처리를 하지 않은 것들에 비해 잘 박리되지 않는다는 것을 의미한다.

제 1 군의 샘플들과 제 2 군의 샘플들이 이제 비교될 것이다. 제 1 군의 샘플의 경우에, 포스트 어닐링의 제 2 단계에서 600 °C 의 온도일 때, 하부 전극들이 웨이퍼의 전 영역에서 박리되었다. 제 2 군의 샘플의 경우에는, 포스트 어닐링의 제 2 단계에서 600 °C 의 온도일 때에도, 하부 전극들이 웨이퍼의 일부에서만 박리되었다. 게다가, 고온 열처리 동안 제 2 군 샘플들의 누설 전류도 상대적으로 적다.

제 3 군의 샘플들은 이제 제 4 군의 샘플들과 비교될 것이다. 제 3 군의 샘플들의 경우에, 포스트 어닐링의 제 2 단계에서 700 °C 의 온도일 때, 하부 전극들이 웨이퍼의 전 영역에서 박리되었다. 제 4 군의 샘플들의 경우에, 포스트 어닐링의 제 2 단계에서 750 °C 의 온도일 때에도, 하부 전극들이 웨이퍼의 일부에서만 박리되었다. 게다가, 고온 열처리 동안 제 4 군 샘플들의 누설 전류도 상대적으로 적다.

제 1 군의 샘플들은 제조에 있어서 포스트 어닐링의 제 2 단계가 산소 분위기에서 수행되는지 아닌지가 제 2 군의 샘플들과 다르다. 마찬가지로, 제 3 군의 샘플들은 또한 제조에 있어서 포스트 어닐링의 제 2 단계가 산소 분위기에서 수행되는지 아닌지가 제 4 군과 다르다. 이것은 두 단계의 포스트 어닐링과, 비산소 분위기에서 고유전체막을 결정화하기 위하여 처리된, 제 2 단계에서의 열처리를 한 샘플들이, 하부 전극들을 더 적게 박리시키며, 누설 전류가 감소한다.

전술한 본 실시예에서 설명된 바와 같이, 포스트 어닐링은 두 가지 상이한 형태의 열처리로 수행되는 것이 바람직하다. 그 하나는 산소 환경을 보충하기 위한 산소 분위기에서 수행되는 것이고, 다른 하나는 고유전체막을 결정화하기 위해 비산소 분위기에서 수행되는 것이다. 이러한 2 가지 형태의 열처리의 순서는 선택적이다.

실시예들에서, 고유전체막을 결정화할 때, 그것을 비정질로써, 상대 유전율이 증가될 수 있다. 이것은 문헌 2 (Extended Abstracts of the 1997 International Conference on Solid State Devices and Materials, 1997, pp. 36-37), 더 구체적으로는 36 페이지의 우측 하단의 2 번째 문단과 도 4 에 설명되어 있다.

본 발명이 특정 실시예들을 참고하여 기술되었지만, 이러한 설명이, 제한된 의미로 파악되는 것을 의도한 것은 아니다. 개시된 실시예들의 다양한 변형은, 본 발명의 설명을 참고한 당업자들에게는 명백할 것이다. 따라서, 첨부된 청구항들은 본 발명의 범주에 있는 실시예를 또는 일련의 변형들을 커버한다.

결론적 설명

전술한 바와 같이, 본 발명에 있어서, 하부 전극이 백금층에서 선택된 금속막으로 구성되고, 커패시터 유전체막이 고유전체막으로 구성되어 있는 커패시터를, 중간 절연막 상에 구비하는 반도체 소자에 있어서, 상기 중간 절연막과 상기 하부 전극과의 사이에, 실리콘 질화막 또는 금속질화막 또는 실리콘이드막을 구비한다. 이를 막 각각은 중간 절연막과 하부 전극과의 반응을 방지하는 한편, 중간 절연막과 하부 전극과의 용해를 완화시킨다. 이를 때문에, 종래의 반도체 소자에 비하여, 하부 전극이 박리되는 것이 보다 더 높은 온도까지 발생하지 않게 된다. 따라서, 신뢰성이 높은 반도체 소자가 실현될 수 있다. 게다가, 고유전체막을 결정화시키기 위한 등의 목적으로 행하는 포스트 어닐링을 충분히

행하는 것도 가능하게 되기 때문에, 보다 특성이 우수해진 반도체 소자를 실현할 수 있다.

(57) 청구의 범위

청구항 1. 반도체 기관:

상기 반도체 기관 상에 형성된 기판막;

상기 기판막 상에 형성되며, 백금족의 금속인 하부 전극;

상기 기판막과 상기 하부 전극 사이에서 형성된 실리콘 질화막 또는 금속 질화막;

상기 하부 전극 상에 형성되며, 높은 비유전율을 갖는 고유전체막; 및

상기 고유전체막 상에 형성된 상부 전극을 구비하는 것을 특징으로 하는 커패시터를 구비한 반도체 장치.

청구항 2. 제 1 항에 있어서, 상기 기판막이 실리콘 산화물인 것을 특징으로 하는 커패시터를 구비한 반도체 장치.

청구항 3. 제 1 항에 있어서, 상기 기판막이 절연막인 것을 특징으로 하는 커패시터를 구비한 반도체 장치.

청구항 4. 반도체 기관:

상기 반도체 기관 상에 형성된 기판막;

상기 기판막 상에 형성되며, 백금족의 금속막인 하부 전극;

상기 기판막과 상기 하부 전극 사이에 형성된 실리사이드막;

상기 하부 전극 상에 형성되며, 높은 비유전율을 갖는 고유전체막; 및

상기 고유전체막 상에 형성된 상부 전극을 구비하는 것을 특징으로 하는 커패시터를 구비한 반도체 장치.

청구항 5. 제 4 항에 있어서, 상기 기판막이 실리콘 산화물인 것을 특징으로 하는 커패시터를 구비한 반도체 장치.

청구항 6. 제 4 항에 있어서, 상기 기판막이 절연막인 것을 특징으로 하는 커패시터를 구비한 반도체 장치.

청구항 7. 제 4 항에 있어서, 상기 실리사이드막이 상기 금속막과 다결정 실리콘막 사이에 배치되는 것을 특징으로 하는 커패시터를 구비한 반도체 장치.

청구항 8. 제 1 항 또는 제 4 항에 있어서, 상기 고유전체막이 오산화이탄화물 (Ti_2O_3), 지르콘산티탄산 나트륨 (FZT), 또는 티탄산바륨스트론튬 (BST) 으로 구성되는 것을 특징으로 하는 커패시터를 구비한 반도체 장치.

청구항 9. 제 1 항 또는 제 4 항에 있어서, 상기 금속막이 루테튬막인 것을 특징으로 하는 커패시터를 구비한 반도체 장치.

청구항 10. 커패시터를 구비한 반도체 장치 제조 방법에 있어서, 상기 제조 방법은:

반도체 기관 상에 기판막을 형성하는 단계;

상기 기판막 상에 실리콘 질화막 또는 금속 질화막을 형성하는 단계;

백금족에 속하는 금속막인 하부 전극을, 상기 실리콘 질화막 또는 상기 금속 질화막 상에 형성하는 단계;

고유전율을 갖는 고유전체막을 상기 하부 전극 상에 형성하는 단계; 및

상기 고유전체막 상에 상부 전극을 형성하는 단계를 구비하는 것을 특징으로 하는 커패시터를 구비한 반도체 장치 제조 방법.

청구항 11. 제 10 항에 있어서, 상기 하부 전극이 형성되고, 상기 고유전체막이 형성되기 전에, 상기 하부 전극을 비산소 분위기에서 열처리하는 것을 특징으로 하는 커패시터를 구비한 반도체 장치 제조 방법.

청구항 12. 커패시터를 구비한 반도체 장치 제조 방법에 있어서, 상기 제조 방법은:

반도체 기관 상에 기판막을 형성하는 단계;

상기 기판막 상에 다결정 실리콘막을 형성하는 단계;

백금족에 속하는 금속막인 하부 전극을 상기 다결정 실리콘막 상에 형성하는 단계;

상기 하부 전극을 갖는 상기 반도체 기관을 비산소 분위기에서 열처리함으로써, 상기 기판막과 상기 하부 전극 사이에 실리사이드막을 형성하는 단계;

높은 비유전율을 갖는 고유전체막을 상기 하부 전극 상에 형성하는 단계; 및

상부 전극을 상기 고유전체막 상에 형성하는 단계를 구비하는 것을 특징으로 하는 커패시터를 구비한 반도체 장치 제조 방법.

도체 장치 제조 방법.

청구항 13. 커패시터를 구비한 반도체 장치 제조 방법에 있어서, 상기 제조 방법은:

반도체 기판 상에 기판막을 형성하는 단계;

백금층에 속하는 금속막인 하부 전극을 상기 기판막 상에 형성하는 단계;

상기 하부 전극을 비산소 분위기에서 열처리하는 단계;

고유전체막을 상기 열처리된 상기 하부 전극 상에 형성하는 단계; 및

상기 고유전체막 상에 상부 전극을 형성하는 단계를 구비하는 것을 특징으로 하는 커패시터를 구비한 반도체 장치 제조 방법.

청구항 14. 제 10 항에 있어서,

상기 고유전체막이 형성되고 상기 상부 전극이 형성되기 전에, 상기 고유전체막으로부터 불순물을 제거하고, 상기 고유전체막에서 산소 결핍을 보충하도록, 상기 반도체 기판을 산소 분위기에서 열처리하는 단계; 및

상기 고유전체막이 형성되고 상기 상부 전극이 형성되기 전에, 상기 고유전체막을 결정화하기 적합한 온도로, 비산소 분위기에서 열처리하는 단계를 더 구비하는 것을 특징으로 하는 커패시터를 구비한 반도체 장치 제조 방법.

청구항 15. 제 10 항에 있어서, 상기 금속막이 루테튬막으로 구성되는 것을 특징으로 하는 커패시터를 구비한 반도체 장치 제조 방법.

청구항 16. 제 10 항에 있어서, 상기 기판막이 산화막인 것을 특징으로 하는 커패시터를 구비한 반도체 장치 제조 방법.

청구항 17. 제 10 항에 있어서, 상기 고유전체막이 오산화이탄화물 (TaO₅), 지르콘산티탄산염 (PZT), 또는 티탄산바륨스트론튬 (BST) 로 구성되는 것을 특징으로 하는 커패시터를 구비한 반도체 장치 제조 방법.

청구항 18. 제 10 항에 있어서, 상기 기판막이 절연막인 것을 특징으로 하는 커패시터를 구비한 반도체 장치 제조 방법.

청구항 19. 제 12 항에 있어서,

상기 고유전체막이 형성되고 상기 상부 전극이 형성되기 전에, 상기 고유전체막으로부터 불순물을 제거하고, 상기 고유전체막에서 산소 결핍을 보충하도록, 상기 반도체 기판을 산소 분위기에서 열처리하는 단계; 및

상기 고유전체막이 형성되고 상기 상부 전극이 형성되기 전에, 상기 고유전체막을 결정화하기 적합한 온도로, 비산소 분위기에서 열처리하는 단계를 더 구비하는 것을 특징으로 하는 커패시터를 구비한 반도체 장치 제조 방법.

청구항 20. 제 12 항에 있어서, 상기 금속막이 루테튬막으로 구성되는 것을 특징으로 하는 커패시터를 구비한 반도체 장치 제조 방법.

청구항 21. 제 12 항에 있어서, 상기 기판막이 산화막인 것을 특징으로 하는 커패시터를 구비한 반도체 장치 제조 방법.

청구항 22. 제 12 항에 있어서, 상기 고유전체막이 오산화이탄화물 (TaO₅), 지르콘산티탄산염 (PZT), 또는 티탄산바륨스트론튬 (BST) 로 구성되는 것을 특징으로 하는 커패시터를 구비한 반도체 장치 제조 방법.

청구항 23. 제 12 항에 있어서, 상기 기판막이 절연막인 것을 특징으로 하는 커패시터를 구비한 반도체 장치 제조 방법.

청구항 24. 제 13 항에 있어서,

상기 고유전체막이 형성되고 상기 상부 전극이 형성되기 전에, 상기 고유전체막으로부터 불순물을 제거하고, 상기 고유전체막에서 산소 결핍을 보충하도록, 상기 반도체 기판을 산소 분위기에서 열처리하는 단계; 및

상기 고유전체막이 형성되고 상기 상부 전극이 형성되기 전에, 상기 고유전체막을 결정화하기 적합한 온도로, 비산소 분위기에서 열처리하는 단계를 더 구비하는 것을 특징으로 하는 커패시터를 구비한 반도체 장치 제조 방법.

청구항 25. 제 13 항에 있어서, 상기 금속막이 루테튬막으로 구성되는 것을 특징으로 하는 커패시터를 구비한 반도체 장치 제조 방법.

청구항 26. 제 13 항에 있어서, 상기 기판막이 산화막인 것을 특징으로 하는 커패시터를 구비한 반도체 장치 제조 방법.

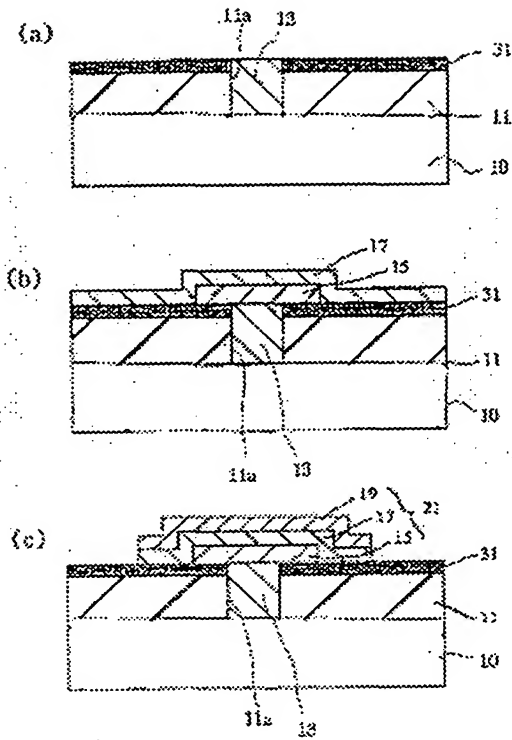
청구항 27. 제 13 항에 있어서, 상기 고유전체막이 오산화이탄화물 (TaO₅), 지르콘산티탄산염 (PZT), 또는 티탄산바륨스트론튬 (BST) 로 구성되는 것을 특징으로 하는 커패시터를 구비한 반도체 장치 제조 방법.

청구항 28. 제 13 항에 있어서, 상기 기판막이 절연막인 것을 특징으로 하는 커패시터를 구비한 반도체

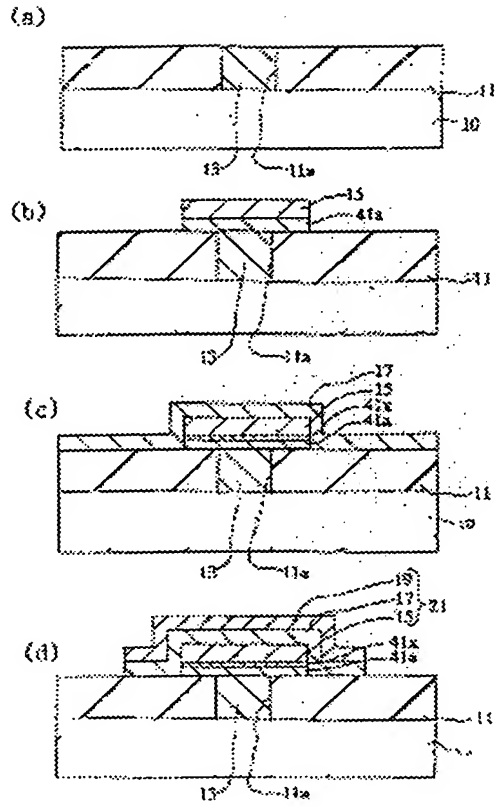
제 장치 제조 방법.

도면

도면 1



도 8a



도 8a

